

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 1 2 0 7 5

(43) 公開日 平成 8 年 (1996) 8 月 20 日

(51) Int. Cl. [°]

G 0 6 F

9/42

識別記号

3 3 0 A

庁内整理番号

F I

技術表示箇所

審査請求

有

請求項の数 6

F D

(全 1 2 頁)

(21) 出願番号

特願平 7 - 34671

(22) 出願日

平成 7 年 (1995) 1 月 31 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 岡山 幸子

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(72) 発明者 勝田 博志

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

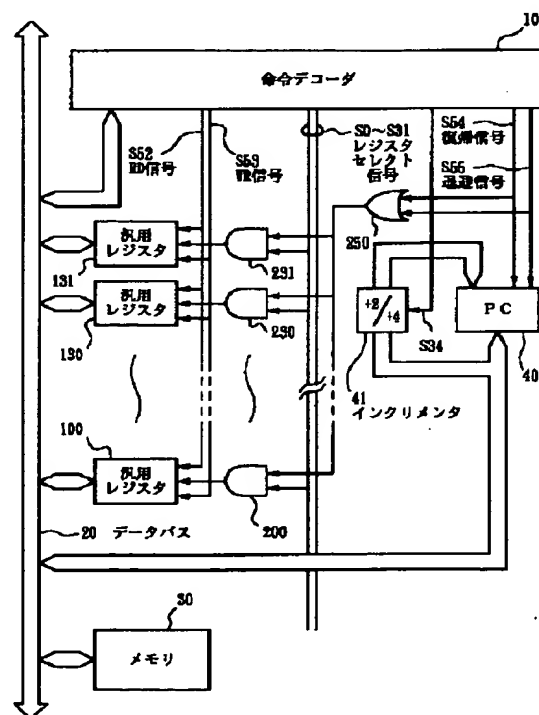
(74) 代理人 弁理士 松本 正夫

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 サブルーチンの処理における復帰アドレスの退避及び復帰に伴うオーバーヘッドをなくすことのできる情報処理装置を提供する。

【構成】 実行する命令のアドレスを示すプログラムカウンタ 40 と、複数の汎用レジスタ 100 ~ 131 と、サブルーチンの呼び出し命令及びサブルーチンからの復帰命令をデコードする命令デコーダ 10 と、サブルーチンの呼び出し命令を実行する時に、複数の汎用レジスタから任意の汎用レジスタを選択する AND 回路 200 ~ 231 及び OR 回路 250 とを備え、サブルーチンの復帰用プログラムカウンタ値を選択された汎用レジスタに退避し、サブルーチンからの復帰命令を実行する時に、復帰用プログラムカウンタ値を退避した汎用レジスタから復帰用プログラムカウンタ値を読み出してプログラムカウンタに設定する。



【特許請求の範囲】

【請求項 1】 実行する命令のアドレスを示すプログラムカウンタと、

複数の汎用レジスタと、

サブルーチンの呼び出し命令を実行する実行手段と、

前記サブルーチンの呼び出し命令を実行する時に、前記複数の汎用レジスタから任意の汎用レジスタを選択する手段と、

前記サブルーチンの復帰用プログラムカウンタ値を選択された汎用レジスタに退避する手段とを備えることを特徴とする情報処理装置。

【請求項 2】 前記サブルーチンの呼び出し命令のコードに、復帰用プログラムカウンタ値を退避する汎用レジスタの指定を行うフィールドを設け、

前記汎用レジスタを選択する手段は、前記実行手段によるサブルーチンの呼び出し命令の実行によって出力される前記汎用レジスタの指定信号に基づいて汎用レジスタを選択することを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】 前記サブルーチンの呼び出し命令のコードに、復帰用プログラムカウンタ値を退避する汎用レジスタの指定を行うフィールドを設け、

前記汎用レジスタを選択する手段は、前記実行手段によるサブルーチンの呼び出し命令の実行によって出力される前記汎用レジスタの指定信号に基づいて汎用レジスタを選択し、

前記退避手段は、前記実行手段によるサブルーチンの呼び出し命令の実行によって出力される復帰用プログラムカウンタ値の退避信号に基づいて、前記プログラムカウンタの値に前記サブルーチンの呼び出し命令の命令長を加算した値を前記復帰用プログラムカウンタ値として、前記選択された汎用レジスタに退避することを特徴とする請求項 1 に記載の情報処理装置。

【請求項 4】 実行する命令のアドレスを示すプログラムカウンタと、

複数の汎用レジスタと、

サブルーチンの呼び出し命令及びサブルーチンからの復帰命令を実行する手段と、

前記サブルーチンの呼び出し命令を実行する時に、前記複数の汎用レジスタから任意の汎用レジスタを選択する手段と、

前記サブルーチンの復帰用プログラムカウンタ値を選択された汎用レジスタに退避する手段と、

前記サブルーチンからの復帰命令を実行する時に、前記復帰用プログラムカウンタ値を退避した汎用レジスタから前記復帰用プログラムカウンタ値を読み出して前記プログラムカウンタに設定する手段を備えることを特徴とする情報処理装置。

【請求項 5】 前記サブルーチンの呼び出し命令のコードに、復帰用プログラムカウンタ値を退避する汎用レジ

スタの指定を行うフィールドを設け、前記サブルーチンからの復帰命令のコードに、復帰用プログラムカウンタ値を読み出す汎用レジスタの指定を行うフィールドを設け、

前記汎用レジスタを選択する手段は、前記命令実行手段によるサブルーチンの呼び出し命令の実行によって出力される前記汎用レジスタの指定信号に基づいて汎用レジスタを選択し、

前記復帰用プログラムカウンタ値の読み出し手段は、前記命令実行手段によるサブルーチンからの復帰命令の実行によって出力される前記汎用レジスタの指定信号で指定された前記汎用レジスタから前記復帰用プログラムカウンタ値を読み出すことを特徴とする請求項 4 に記載の情報処理装置。

【請求項 6】 前記サブルーチンの呼び出し命令のコードに、復帰用プログラムカウンタ値を退避する汎用レジスタの指定を行うフィールドを設け、

前記汎用レジスタを選択する手段は、前記実行手段によるサブルーチンの呼び出し命令の実行によって出力される前記汎用レジスタの指定信号に基づいて汎用レジスタを選択し、

前記退避手段は、前記実行手段によるサブルーチンの呼び出し命令の実行によって出力される復帰用プログラムカウンタ値の退避信号に基づいて、前記プログラムカウンタの値に前記サブルーチンの呼び出し命令の命令長を加算した値を前記復帰用プログラムカウンタ値として前記選択された汎用レジスタに退避し、

前記復帰用プログラムカウンタ値の読み出し手段は、前記命令実行手段によるサブルーチンからの復帰命令の実行によって出力される前記汎用レジスタの指定信号で指定された前記汎用レジスタから前記復帰用プログラムカウンタ値を読み出して前記プログラムカウンタに設定することを特徴とする請求項 4 に記載の情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、情報処理装置に関し、特にサブルーチンの呼び出し処理及びサブルーチンからの復帰処理において発生するオーバーヘッドを改善した情報処理装置に関する。

【0002】

【従来の技術】ノイマン型コンピュータは、実行する命令のアドレスを示すプログラムカウンタ（以下、PCという）を更新することで、メモリに記憶されたプログラムを逐次読みだして実行する。一般に、ノイマン型コンピュータの中央処理装置（以下、CPUという）ではメインプログラムからサブルーチンへの処理の分枝を行う前に、サブルーチンから復帰した時に最初に行う命令のアドレス（以下、復帰アドレスという）を保存する必要がある。

【0003】従来におけるサブルーチン処理のための呼

び出し命令とサブルーチンからの復帰命令を持つCPUを備えた情報処理装置について以下に説明する。

【0004】第1の従来例（以下、従来例1）は、汎用レジスタをスタック・ポインタとして利用することにより、復帰アドレスをメモリに格納する構成の情報処理装置である。この従来例1では、サブルーチンの呼び出し命令としてJAL命令を用い、復帰命令としてJMP命令を用いている。JAL命令は、直接アドレス指定でサブルーチンを呼び出す命令であり、JMP命令はレジスタ間でサブルーチンから復帰する命令である。

【0005】第2の従来例（以下、従来例2）は、特開昭63-316134号公報「半導体集積回路」に開示される。この従来例2においては、サブルーチン処理のためにスタックの代わりにシフトレジスタを用いる。また、サブルーチン処理のための呼び出し命令としてCALL命令を用い、さらに復帰命令としてRET命令を用いる。

【0006】以下に、これら従来例の情報処理装置の構成及びその動作について説明する。従来例1の構成を図5に示す。同図において、410は命令デコーダ、440はPC（プログラムカウンタ）、441はワード切り替え信号S34によりPC440の値を”2”または”4”ずつ増加させるインクリメンタ、501から531は汎用レジスタ、500はデータを”0”に固定してある汎用レジスタ、600から631は2入力のAND回路、650は2入力のOR回路、420はデータ・バス、430はメモリである。従来例1では、メモリ430を復帰アドレスのスタックとして利用する。

【0007】命令デコーダ410は、サブルーチンの呼び出し命令、復帰命令等の各種命令をデコードした結果に基づいて読み出し信号（RD信号）S52、書き込み信号（WR信号）S53、復帰信号S54、退避信号S55、レジスタセレクト信号S0からS31、サブルーチンのアドレス、デコードした命令のバイト数（命令長）を示すワード切り替え信号S34を出力する。また、命令デコーダ410は、32ビットのアドレスデータをデータ・バス420に出力する。

【0008】インクリメンタ441は、常にPC440の出力を入力して、ワード切り替え信号S34に応じて、現在デコード中の命令のバイト長に相当するカウンタ値（”2”又は”4”）とPC440の出力との和をPC440へ出力している。

【0009】命令デコーダ410からの復帰信号S54は、AND回路600から631の一方の入力に供給される。命令デコーダ410からの退避信号S55は、OR回路650の一方の入力に供給される。

【0010】レジスタセレクト信号S0からS31は、レジスタセレクト信号S31に相当するのはAND回路631というように、各々対応するAND回路600から631の他方の入力に供給される。

【0011】AND回路600から630は、それぞれ復帰信号S54とレジスタセレクト信号S0からS30との論理積をとって、その結果を対応する汎用レジスタ500から530を選択するセレクト信号として出力する。すなわち、復帰信号S54の論理値が”1”で、かつレジスタセレクト信号S0からS30の何れかが論理値”1”になったとき、AND回路600から630の何れかの出力が”1”となり、対応する汎用レジスタ500から530の何れかが選択される。

10 【0012】命令デコーダ410から出力されるワード切り替え信号S34は、インクリメンタ11を制御する信号であり、デコードしている命令が2バイト長の時、論理値”0”となり、また、デコードしている命令が4バイト長の時、論理値”1”となる。インクリメンタ441は、ワード切り替え信号S34の論理値が”0”の時にPC440にカウンタ値”2”を加算し、また、ワード切り替え信号S34の論理値が”1”の時にPC440にカウンタ値”4”を加算するように制御される。

20 【0013】AND回路631は、復帰信号S54とレジスタセレクト信号S31の論理積をとってOR回路650に出力する。OR回路650の出力が論理値”1”になった時に、汎用レジスタ531が選択される。また、退避信号S55の論理値が”1”のときにOR回路650の出力が論理値”1”となって、汎用レジスタ531が選択される。

30 【0014】RD信号S52とWR信号S53は、汎用レジスタ500から531に供給される。RD信号S52が論理値”1”の時、選択されている汎用レジスタのデータがデータ・バス420に出力される。WR信号S53が論理値”1”の時、選択されている汎用レジスタにデータ・バス420上のデータが書き込まれる。

【0015】命令デコーダ410は、汎用レジスタに対する復帰アドレスの書き込みが終了したタイミングで、サブルーチンのアドレスをデータ・バス420に対して出力する。

40 【0016】図6に、図5の情報処理装置で処理される命令コードの形式を示す。サブルーチンの呼び出し時には、図6のJAL命令401aが実行される。JAL命令5401a01aのビット15～10はオペコードのフィールドで、JAL命令5401aの演算指令を司るコードである。ビット9～0、31～16は分岐先を示すディスプレースメント値を設定するフィールドである。サブルーチンからの復帰時にはJMP命令402aが実行される。JMP命令402aは、図6に示すような構成であり、ビット15～10はオペコードのフィールドで、JMP命令の演算指令を司る。ビット9～5は使用しないフィールドで全て”0”が設定される。ビット4～0は汎用レジスタを指定するフィールドで、汎用レジスタ501から531を5ビットの2進数によって指定する。なお、命令400aは、レジスタ間のデータ

転送命令(MOV reg, reg)のコードの構成を示している。

【0017】図5、図6を参照して、サブルーチンの呼び出し時とサブルーチンからの復帰時の動作について説明する。命令デコーダ410は、JAL命令401aをデコードすることで、RD信号S52を"0"、WR信号S53を"1"、復帰信号S54を"0"、退避信号S55を"1"、レジスタセレクト信号S1からS31を全て"0"にし、かつ、4バイト長の命令であることからワード切り替え信号S34を"1"にセットして出力し、その後サブルーチンのアドレスをデータ・バス420に出力する。

【0018】ここで、JAL命令401aを以下のように記述する。

JAL サブルーチン名

【0019】JAL命令401aを実行して、復帰アドレスを汎用レジスタ531に格納する場合を説明する。図5において、JAL命令401aをデコードした結果、退避信号S55が"1"、ワード切り替え信号S34が"1"となつて、PC440の値を"4"増やした値を復帰アドレスとして、データ・バス420に出力する。同時に、OR回路650の出力が"1"となつて、汎用レジスタ531を選択する。この時、WR信号S53が"1"であるので、汎用レジスタ531にデータ・バス420上の復帰アドレスが書き込まれる。

【0020】一方、復帰信号S54は"0"であることからAND回路600から631は全て"0"を出力しており、汎用レジスタ501から530への復帰アドレスの値の書き込みは行われない。

【0021】復帰アドレスの退避後、命令デコーダ410がサブルーチンのアドレスをデータ・バス420に出力して、PC440に呼び出されたサブルーチンのアドレスを設定し、制御を移す。

【0022】このように、汎用レジスタ531を固定的に利用して復帰アドレスを退避するため、サブルーチンから復帰する前に、さらに他のサブルーチンの呼び出しに備えて、サブルーチンに移行してすぐに汎用レジスタ531の内容(復帰アドレス)をメモリ530をスタックとして用いることにより格納する必要がある。これは、最初のサブルーチンから復帰する前にJAL命令401aが実行されて他のサブルーチンが呼び出された時に、汎用レジスタ531の内容が書き換えられてしまい、メインルーチンへの復帰アドレスが失われるからである。

【0023】サブルーチンからの復帰時には、復帰命令であるJMP命令402aを実行する。JMP命令402aの汎用レジスタを指定する5ビット・データが命令デコーダ410でデコードされて、指定された汎用レジスタを選択するレジスタセレクト信号S1からS31が出力される。さらに、命令デコーダ410では、JMP

命令402aをデコードすることで、RD信号S52を"1"、WR信号S53を"0"、復帰信号S54を"1"、退避信号S55を"0"、指定した汎用レジスタに対応するレジスタセレクト信号S1からS31の何れかを"1"に設定する。

【0024】JMP命令402aは以下のように、記述する。

JMP [汎用レジスタ名]

【0025】JMP命令402aを実行して、復帰アドレスを読み出す過程を図5を用いて示す。ここでは、復帰アドレスを読み出す汎用レジスタを汎用レジスタ531として説明する。図5において、まず、サブルーチン内のプログラムで、復帰アドレスを格納してあるメモリ430から汎用レジスタ531へ復帰アドレスを読み出す。その後、汎用レジスタ531を指定したJMP命令402aを実行する。JMP命令402aをデコードした結果、命令デコーダ410は復帰信号S54を"1"に、レジスタセレクト信号S31を"1"にセットして出力するので、OR回路650の出力は"1"になつて、汎用レジスタ531が選択される。同時に、RD信号S52を"1"にセットして出力するので、汎用レジスタ531の値がデータ・バス420に出力される。また、PC440にデータ・バス420の値が復帰アドレスとして設定される。

【0026】図5に示した従来例1では、汎用レジスタ531を固定的に用いて復帰アドレスの退避及び復帰処理を行うため、サブルーチンの呼び出しにおいて復帰アドレスを汎用レジスタ531に退避し、かつ次のサブルーチン呼び出しに備えてその汎用レジスタの値をメモリ430にスタックして保持すると共に、サブルーチンからの復帰においてメモリ430に保持した復帰アドレスを汎用レジスタ531に読み出す必要がある。従つて、復帰アドレスの退避及び復帰処理において、汎用レジスタ531とメモリ430間における復帰アドレスのやりとりがオーバーヘッドとなっていた。

【0027】この点を、例えば、サブルーチンの二重のネスティング、つまり、サブルーチンからメインルーチンに戻らずに、さらにサブルーチンを呼び出す場合を例にとって以下に具体的に説明する。

【0028】図7では、JAL命令401aによるサブルーチンのネスティング動作とPC440の退避と復帰の様子を示す。また、図8には、図7のサブルーチンのネスティング動作における各ステップ毎の復帰アドレスの退避と復帰処理及びその処理に要するクロック数を示している。ここで、プログラムは矢印の方向に実行され、メインルーチンR1からサブルーチンSR1へ、そこからさらにサブルーチンSR2へネスティングする。スタック・ポインタは汎用レジスタ503で実現するものとし、特別のハードウェアとして備える構成ではない。

【0029】メインルーチンR1内のステップ701でJAL命令401aが実行されると、復帰アドレスを汎用レジスタ531に退避して、サブルーチンSR1のアドレスをPC440に設定する。サブルーチンSR1に移行するとすぐにステップ702で、汎用レジスタ531の内容をメモリ430のスタック・ポインタ（汎用レジスタ503）が示すアドレスに格納し、スタック・ポインタを”4”増やす。ステップ702以降に、サブルーチンSR1の処理を行う。

【0030】サブルーチンSR1内のステップ703でJAL命令が実行されると、復帰アドレスを汎用レジスタ531に退避して、サブルーチンSR2のアドレスをPC440に設定する。サブルーチンSR2に移行するとすぐにステップ704で、汎用レジスタ531の内容をメモリ430のスタック・ポインタの示すアドレスに格納し、スタック・ポインタを”4”増やす。ステップ704以降に、サブルーチンSR2の処理を行う。

【0031】サブルーチンSR2の処理が完了すると、ステップ705でスタック・ポインタの値を”4”減らし、スタック・ポインタで示すアドレスのメモリ430の内容を汎用レジスタ531へ呼び出す。ステップ706でJMP命令402aが実行されることにより、復帰アドレスがPC440に設定されて、サブルーチンSR1へ戻る。

【0032】さらに、サブルーチンSR1の処理が続いて実行され、完了するとステップ707でスタック・ポインタの値を”4”減らし、スタック・ポインタで示すアドレスの内容（復帰アドレス）を汎用レジスタ531へ呼び出す。ステップ708でJMP命令402aが実行されて、復帰アドレスがPC440に設定されて、メインルーチンR1へ戻る。

【0033】このように、サブルーチンの呼び出し、サブルーチンからの復帰の度に、復帰アドレスをメモリ（スタック）に格納したり、復帰アドレスをメモリから呼び出すことが必要であり、これがオーバーヘッドとなっていた。図7に示すように、サブルーチンからメインルーチンに戻らずに、さらにサブルーチンを呼び出す場合には、サブルーチンの呼び出しによるオーバーヘッドが大きくなる。

【0034】従来例1にあるようなメモリへの格納、復帰にかかっていたオーバーヘッドを少なくするために、プログラムカウンタの値をシフトレジスタに退避する従来例2の構成を図9に示す。

【0035】従来例2の構成を示す図9において、801は16ビット用アドレス・バス、802はアドレス・バス801との間で16ビットD0からD15のアドレスデータを入出力するPC、803は命令コードをデコードする命令デコード回路であり、特定の命令コード（CALL命令、RET命令）をそれぞれデコードした時に対応して出力信号線804、805にデコード出力

を出力する。806はラストイン・ファーストアウト機能を有する双方向シフトレジスタであり、レジスタ806-1～806-nが複数段接続されている。このシフトレジスタ806は、命令デコード回路803からのデコード出力信号804、805により対応して順方向シフト、逆方向シフトの動作を行う。807はPC802とシフトレジスタ806間でデータの入出力を制御するための制御回路である。

【0036】図9に示す従来例2の動作を説明する。サブルーチン呼び出し時にCALL命令が実行されると、プログラム中の上記CALL命令の次に存在する命令のアドレス（復帰アドレス）がPC802により示される。このPC802の内容である復帰アドレスデータはメモリにセーブされないで、命令デコード回路803の出力信号線804のCALLデコード出力（”1”）によって発生するタイミング信号によって双方向レジスタ6の順方向シフト動作が行われ、上記復帰アドレスデータが双方向レジスタ806にセーブされる。

【0037】次に、サブルーチンが終了してRET命令が実行されると、命令デコード回路803の出力信号線805のRETデコード出力”1”によって発生するタイミング信号によって方向レジスタ6の逆方向シフト動作が行われ、双方向レジスタ806の逆方向に保持されている最後の復帰アドレスデータが最初に出力されて、制御回路807を介してPC802に戻される。

【0038】また、CALL命令が連続的に複数回実行される（つまり、RET命令を実行することなくCALL命令が複数回実行される）と、上述したようにCALL命令の実行ごとに双方向レジスタの順方向シフト動作が行われる。そして、上記CALL命令の連続的な実行後に、RET命令が実行されると双方向レジスタの逆方向シフトにより双方向レジスタに保持される復帰アドレスデータのうちの最新のデータがPC802に読み出される。CALL命令と同数のRET命令が実行されると、双方向レジスタの復帰アドレスデータがすべて取り出される。

【0039】このように、PC802の復帰アドレスデータを格納退避するために、メモリを使用する必要がないので、従来例1のようなオーバーヘッドが解消されることになる。

【0040】

【発明が解決しようとする課題】上述した従来例1では、汎用レジスタ531を固定的に利用して復帰アドレスを退避するため、サブルーチンの呼び出し、サブルーチンからの復帰のたびに、汎用レジスタ531の復帰アドレスのメモリへの格納とメモリからの復帰をしなければならないので、汎用レジスタとメモリ間における復帰アドレスのやりとりが頻繁となり、これがオーバーヘッドとなり処理速度の低下を招いていた。

【0041】従来例2では、双方向シフトレジスタに復

帰アドレスを退避、復帰できるように構成したため、従来例 1 で問題となっていた復帰アドレスの退避、復帰におけるオーバーヘッドが減少する。しかし、従来例 2 の構成では、新規にシフトレジスタからなる専用の制御ハードウェアを設ける必要があるため、CPU の規模が大きくなり、かつコストが高くなるという問題があった。加えて、プログラムの処理速度向上と小規模化を比べた場合、小規模化をより重要視するシングルチップ・マイクロコンピュータ等においては、上述した従来例 2 に示したような構成を採用することは不可能である。

【0042】本発明の目的は、上記問題点を解消して、復帰アドレスを任意の汎用レジスタに退避できる機能により、サブルーチンの処理における復帰アドレスの退避及び復帰に伴うオーバーヘッドをなくすことのできる情報処理装置を提供することにある。

【0043】また、本発明の他の目的は、専用のハードウェアを設けることなく、簡単な回路変更だけで復帰アドレスの退避及び復帰に伴うオーバーヘッドのない処理の高速化を実現でき、かつコストのかからない経済性に優れた情報処理装置を提供することにある。

【0044】

【課題を解決するための手段】上記の目的を達成するため、本発明の情報処理装置は、実行する命令のアドレスを示すプログラムカウンタと、複数の汎用レジスタと、サブルーチンの呼び出し命令を実行する実行手段と、前記サブルーチンの呼び出し命令を実行する時に、前記複数の汎用レジスタから任意の汎用レジスタを選択する手段と、前記サブルーチンの復帰用プログラムカウンタ値を選択された汎用レジスタに退避する手段とを備える構成としている。

【0045】また、他の態様では、前記サブルーチンの呼び出し命令のコードに、復帰用プログラムカウンタ値を退避する汎用レジスタの指定を行うフィールドを設け、前記汎用レジスタを選択する手段は、前記実行手段によるサブルーチンの呼び出し命令の実行によって出力される前記汎用レジスタの指定信号に基づいて汎用レジスタを選択する構成としている。

【0046】また、他の態様では、前記サブルーチンの呼び出し命令のコードに、復帰用プログラムカウンタ値を退避する汎用レジスタの指定を行うフィールドを設け、前記汎用レジスタを選択する手段は、前記実行手段によるサブルーチンの呼び出し命令の実行によって出力される前記汎用レジスタの指定信号に基づいて汎用レジスタを選択し、前記退避手段は、前記実行手段によるサブルーチンの呼び出し命令の実行によって出力される復帰用プログラムカウンタ値の退避信号に基づいて、前記プログラムカウンタの値に前記サブルーチンの呼び出し命令の命令長を加算した値を前記復帰用プログラムカウンタ値として、前記選択された汎用レジスタに退避する構成としている。

【0047】上記目的を達成する本発明の他の情報処理装置では、実行する命令のアドレスを示すプログラムカウンタと、複数の汎用レジスタと、サブルーチンの呼び出し命令及びサブルーチンからの復帰命令を実行する手段と、前記サブルーチンの呼び出し命令を実行する時に、前記複数の汎用レジスタから任意の汎用レジスタを選択する手段と、前記サブルーチンの復帰用プログラムカウンタ値を選択された汎用レジスタに退避する手段と、前記サブルーチンからの復帰命令を実行する時に、前記復帰用プログラムカウンタ値を退避した汎用レジスタから前記復帰用プログラムカウンタ値を読み出して前記プログラムカウンタに設定する手段を備える構成としている。

【0048】また、他の態様では、前記サブルーチンの呼び出し命令のコードに、復帰用プログラムカウンタ値を退避する汎用レジスタの指定を行うフィールドを設け、前記サブルーチンからの復帰命令のコードに、復帰用プログラムカウンタ値を読み出す汎用レジスタの指定を行うフィールドを設け、前記汎用レジスタを選択する手段は、前記命令実行手段によるサブルーチンの呼び出し命令の実行によって出力される前記汎用レジスタの指定信号に基づいて汎用レジスタを選択し、前記復帰用プログラムカウンタ値の読み出し手段は、前記命令実行手段によるサブルーチンからの復帰命令の実行によって出力される前記汎用レジスタの指定信号で指定された前記汎用レジスタから前記復帰用プログラムカウンタ値を読み出す構成としている。

【0049】また、他の態様では、前記サブルーチンの呼び出し命令のコードに、復帰用プログラムカウンタ値を退避する汎用レジスタの指定を行うフィールドを設け、前記汎用レジスタを選択する手段は、前記実行手段によるサブルーチンの呼び出し命令の実行によって出力される前記汎用レジスタの指定信号に基づいて汎用レジスタを選択し、前記退避手段は、前記実行手段によるサブルーチンの呼び出し命令の実行によって出力される復帰用プログラムカウンタ値の退避信号に基づいて、前記プログラムカウンタの値に前記サブルーチンの呼び出し命令の命令長を加算した値を前記復帰用プログラムカウンタ値として、前記選択された汎用レジスタに退避し、前記復帰用プログラムカウンタ値の読み出し手段は、前記命令実行手段によるサブルーチンからの復帰命令の実行によって出力される前記汎用レジスタの指定信号で指定された前記汎用レジスタから前記復帰用プログラムカウンタ値を読み出して前記プログラムカウンタに設定する構成としている。

【0050】

【作 用】本発明は、サブルーチンの呼び出し命令をデコードした出力によって、復帰用プログラムカウンタ値を任意に選択した汎用レジスタに書き込むことにより、退避することができる。このため、復帰用プログラムカ

ウンタ値をメモリに格納するオーバーヘッドと、メモリから復帰用プログラムカウンタ値を復帰させるオーバーヘッドが不要となり、情報処理装置の高速処理が実現する。

【0051】

【実施例】以下、本発明の実施例について図面を参照して説明する。図1は、本発明の一実施例による情報処理装置の構成を示すブロック図である。図1においては、マイクロコンピュータ等の情報処理装置の一部の構成を示しており、10は命令デコーダ、40はPC、41はインクリメンタ、101から131は汎用レジスタ、100はデータを”0”に固定してある汎用レジスタ、200から231は2入力のAND回路、250は2入力のOR回路、20はデータ・バス、30はメモリである。

【0052】本実施例においては、図示のように、図5に示した従来例1の構成と大部分が共通した構成となっている。従って、図5に示した従来例1との相違点を重点的に説明し、従来例1と同一の構成については説明を省略する。

【0053】本実施例では、図5のOR回路650とAND回路631の代わりに、2入力のAND回路231と2入力のOR回路250を新たに設けている。

【0054】命令デコーダ10は従来例1と異なる命令コードをデコードするだけで、他の機能は同一である。また、本実施例では、メモリ30を復帰アドレスのスタックとして用いない。命令デコーダ10が、汎用レジスタに対する復帰アドレスの書き込みが終了したタイミングで、サブルーチンのアドレスをデータ・バス420に対して出力する点についても図5と同様である。

【0055】図1において、命令デコーダ10からの復帰信号S54と退避信号S55を、OR回路250に出力する。OR回路250は、復帰信号S54と退避信号S55の論理和をとって、その結果をAND回路200～AND回路230、そしてAND回路231の一方の入力へ出力する。

【0056】レジスタセレクト信号S0からS31は、レジスタセレクト信号S31に相当するのはAND回路231というように、各々対応するAND回路200から231の他方の入力に供給される。AND回路231は、レジスタセレクト信号S31とOR回路250の出力との論理積をとって、その結果を汎用レジスタ131へ出力している。

【0057】AND回路200から231は、それぞれOR回路250の出力とレジスタセレクト信号S0からS30との論理積をとって、その結果を対応する汎用レジスタ100から131を選択するセレクト信号として出力する。すなわち、復帰信号S54又は退避信号S55の論理値が”1”で、かつレジスタセレクト信号S0からS30の何れかが論理値”1”になったとき、AN

D回路200から231の何れかの出力が”1”となり、対応する汎用レジスタ100から131の何れかが選択される。

【0058】図5の従来例1では、サブルーチン呼び出しにおいて復帰アドレスを固定的に特定の汎用レジスタ531に退避する構成としていたが、本実施例では、復帰アドレスを退避する汎用レジスタは固定されず、後述するサブルーチンの呼び出し命令で指定された汎用レジスタに退避する構成としている。

【0059】図2に、図1に示した本実施例の情報処理装置で処理する命令コードの構成を示す。サブルーチンの呼び出し時には、JARL命令401を実行する。JARL命令401のビット10～5は、JARL命令401の演算指令を司るオペコードのフィールドである。ビット15～11は、汎用レジスタ101～131の何れかを指定するためのレジスタ指定フィールドで、汎用レジスタ101～131を5ビットの2進数で指定する。ビット4～0及び31～16は、分岐先（サブルーチン）を示すディスプレイメント値である。なお、命令400は、レジスタ間のデータ転送命令（MOV reg, reg）のコードの構成を示している。

【0060】図2に示すJARL命令401及びJMP命令402については、レジスタ間のデータ転送命令（MOV reg, reg）400等のレジスタ指定フィールドと書式を統一している。

【0061】さらに図1、図2を参照して、サブルーチンの呼び出し時とサブルーチンからの復帰時の動作について説明する。

【0062】命令デコーダ10では、JARL命令401をデコードすることにより、RD信号S52を”0”、WR信号S53を”1”、復帰信号S54を”0”、退避信号S55を”1”、指定した汎用レジスタに対応するレジスタセレクト信号（S1～S31の何れか）を”1”にセットしてから、サブルーチンのアドレスをデータ・バス20上に出力する。

【0063】JARL命令401を以下のように記述する。

JARL サブルーチン名, 汎用レジスタ名

【0064】ここでは、JARL命令401によって汎用レジスタ130を指定した場合について説明をする。JARL命令401をデコードした結果、退避信号S55が”1”、ワード切り替え信号S34が”1”となり、データ・バス20に復帰アドレスが出力される。

【0065】同時に、OR回路250の出力が”1”、汎用レジスタ130に対応するレジスタセレクト信号S30が”1”であることから、AND回路230の出力が”1”となって汎用レジスタ130が選択される。そして、RD信号S52が”1”であることから、データ・バス20上の復帰アドレスの値が汎用レジスタ130に書き込まれる。

【0066】一方、復帰信号S54が”0”であるが、何も影響しない。さらに、命令デコーダ10がサブルーチンのアドレスをデータ・バス20に出力して、PC40にそのサブルーチンのアドレスを書き込む。

【0067】サブルーチンからの復帰時には、JMP命令402を実行する。JMP命令402は、図2に示すような命令コードの構成である。JMP命令402のビット15～11は使用しないフィールドであり、全て”0”が設定される。ビット10～5はJMP命令の演算指令を司るオペコードのフィールドである。ビット4～

0は汎用レジスタを指定するフィールドで、レジスタ101～131の何れかを5ビットの2進数で指定する。
【0068】命令デコーダ10では、JMP命令402をデコードすることにより、RD信号S52を”1”、WR信号S53を”0”、復帰信号S54を”1”、回避信号S55を”0”、指定した汎用レジスタに対応するレジスタセレクト信号(S1～S31の何れ)を”1”にセットする。ここでは、JMP命令402で汎用レジスタ130を指定した場合を説明する。

【0069】JMP命令402をデコードした結果、命令デコーダ10は復帰信号S54に”1”をセットして出力するので、OR回路250の出力は論理値”1”になる。この時、RD信号S52に”1”をセットして出力するので、RD信号S52により汎用レジスタ130から復帰アドレスがデータ・バス20に出力される。一方、復帰信号S54が”1”であるので、データ・バス20上の値が復帰アドレスとしてPC40に設定される。

【0070】図3では、図7と同様に、JARL命令401によるサブルーチンのネスティングの動作とPC0の回避と復帰の様子を示す。また、図4には、図3のサブルーチンのネスティング動作における各ステップ毎の復帰アドレスの回避と復帰処理及びその処理に要するクロック数を示している。プログラムは矢印の方向に実行され、メインルーチンR1からサブルーチンSR1へ、そこからさらにサブルーチンSR2へネスティングする。ここではメインルーチンR1内で回避する復帰アドレスを汎用レジスタ130に、サブルーチンSR1内で回避する復帰アドレスを汎用レジスタ129にそれぞれ回避する場合を考える。

【0071】メインルーチンR1内のステップ301でJARL命令401(汎用レジスタ130を指定)が実行されると、復帰アドレスを指定した汎用レジスタ130に回避して、サブルーチンSR1のアドレスをPC40に設定する。サブルーチンSR1に移行してステップ302で、従来のようにメモリ30に復帰アドレスを格納する必要がなく、すぐにサブルーチンSR1の処理を行う。

【0072】サブルーチンSR1内のステップ303で、JARL命令401(汎用レジスタ129を指定)

が実行されると、復帰アドレスを指定した汎用レジスタ129に回避して、サブルーチンSR2のアドレスをPC40に設定する。サブルーチンSR2に入ってステップ304で、メモリ30に復帰アドレスを格納する必要がなく、すぐにサブルーチンSR2の処理を行う。

【0073】サブルーチンSR2の処理が完了すると、ステップ308でJMP命令402(汎用レジスタ129を指定)が実行されて、汎用レジスタ129から読み出された復帰アドレスがPC40に設定されて、サブルーチンSR1へ戻る。さらに、サブルーチンSR1の処理が続いて実行され、完了すると、ステップ308でJMP命令402(汎用レジスタ130を指定)が実行されて、汎用レジスタ130から読み出された復帰アドレスがPC40に設定されて、メインルーチンR1へ戻る。

【0074】このように、本実施例においては、従来例とまったく同様なサブルーチンの呼び出し、復帰において、復帰アドレスの値をメモリ30に対して格納、復帰するという処理が不要になり、オーバーヘッドがなくなる。

【0075】従来例1では、図8に示すように復帰アドレスの回避、復帰処理に要するクロック数は合計22クロックとなる。本実施例によれば、図4に示すように復帰アドレスの回避、復帰処理に要するクロック数は合計12クロックであり、従来例1に対して54%のクロック数しかかからない。従って、その分のオーバーヘッドが軽減されることになる。

【0076】また、JARL命令401のレジスタ指定のデコーダは、図2に示すレジスタ指定のコードのように、レジスタ間のデータ転送命令(MOV reg, reg)400等のレジスタ指定フィールドと書式を統一しておくことで、兼用することが可能である。そのため、専用のレジスタ指定用のデコーダを設ける必要がない。本実施例では、上述のように、汎用レジスタに空きのある限り、復帰アドレスを汎用レジスタに回避できるので、実用的な効果はきわめて高い。

【0077】以上好ましい実施例をあげて本発明を説明したが、本発明は必ずしも上記実施例に限定されるものではない。例えば、汎用レジスタ及びAND回路の数については、図示の内容に限定されない。

【0078】

【発明の効果】以上説明したように、本発明によれば、簡易な回路構成と命令コードの変更により、復帰アドレスを任意の汎用レジスタに回避し、かつ復帰させることにより、サブルーチンの呼び出し時とサブルーチンからの復帰におけるオーバーヘッドを解消でき情報処理装置の高速化が実現される。

【0079】また、オーバーヘッドを解消のために従来において採用されていたような専用のハードウェアを新たに設ける必要がなく、簡単な回路変更だけで実現する

15

ことができるので、コストが高くなることもなく経済性に優れ、かつ専用ハードウェアの追加により回路規模が大きくなることもない。従って、回路の小規模化を重視するシングルチップ・マイクロコンピュータ等の情報処理装置にも採用でき、処理の高速化が実現する。

【図面の簡単な説明】

【図1】 本発明の一実施例による情報処理装置の構成を示すブロック図である。

【図2】 図1に示す実施例で実行する命令コードの一構成例を示す図である。

【図3】 図1に示す実施例におけるサブルーチンのネスティングにおける処理の流れを示す図である。

【図4】 図3のサブルーチンのネスティング動作における各ステップ毎の復帰アドレスの退避と復帰の処理及びその処理に要するクロック数を示す図である。

【図5】 情報処理装置の第1の従来例の構成を示すブロック図である。

【図6】 図5に示す従来例1の命令コードの一例を示す図である。

【図7】 従来におけるサブルーチンのネスティングにおける処理の流れを示す図である。

【図8】 図7のサブルーチンのネスティング動作にお

16

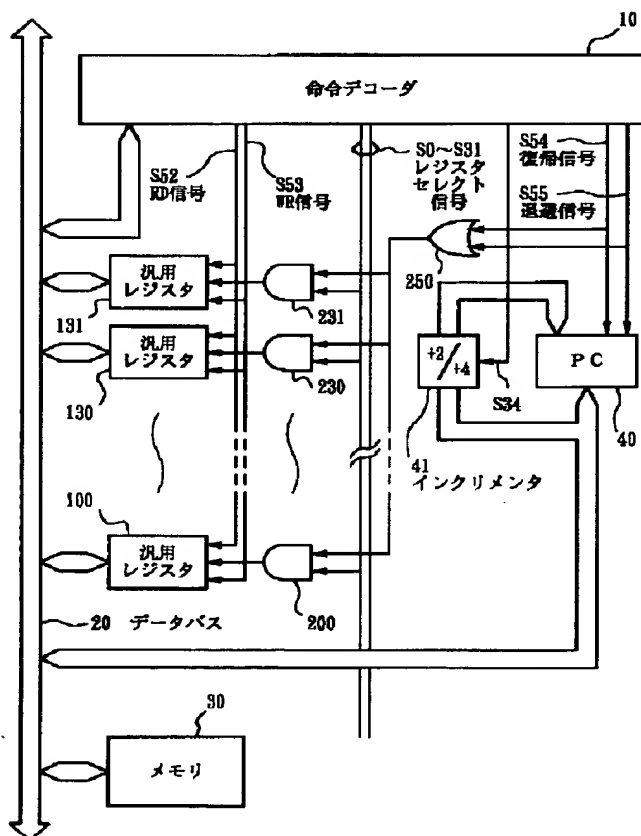
ける各ステップ毎の復帰アドレスの退避と復帰の処理及びその処理に要するクロック数を示す図である。

【図9】 情報処理装置の第2の従来例の構成を示すブロック図である。

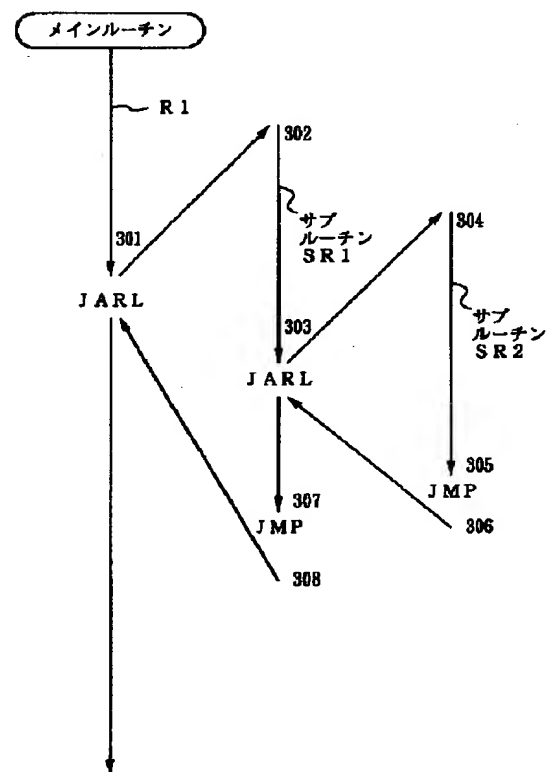
【符号の説明】

- | | |
|--------|--------------|
| 10 | 命令デコーダ |
| 20 | データ・バス |
| 30 | メモリ |
| 40 | PC |
| 100 | 汎用レジスタ |
| 200 | AND回路 |
| 250 | OR回路 |
| S0～S31 | レジスタセレクト信号 |
| S34 | ワード切り替え信号 |
| S52 | RD信号 |
| S53 | WR信号 |
| S54 | 復帰信号 |
| S55 | 退避信号 |
| 401 | サブルーチン呼び出し命令 |
| 402 | 復帰命令 |

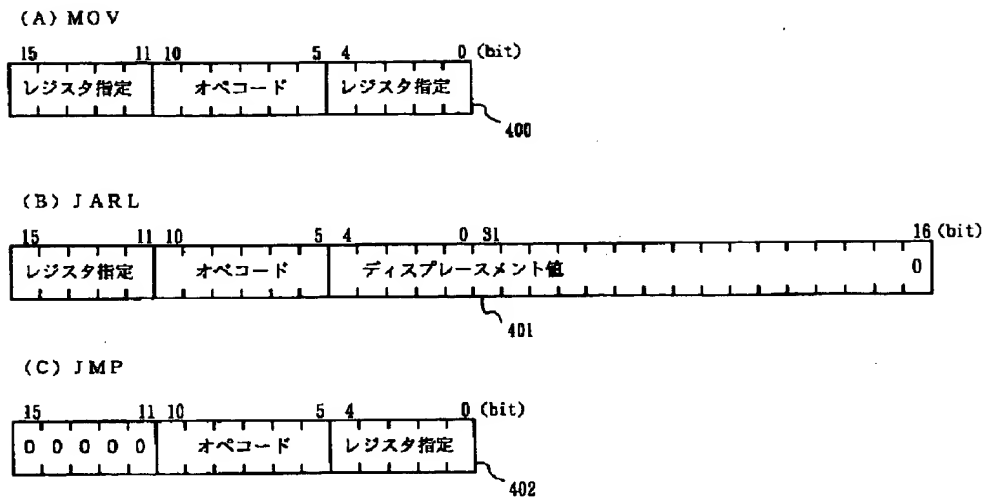
【図1】



【図3】



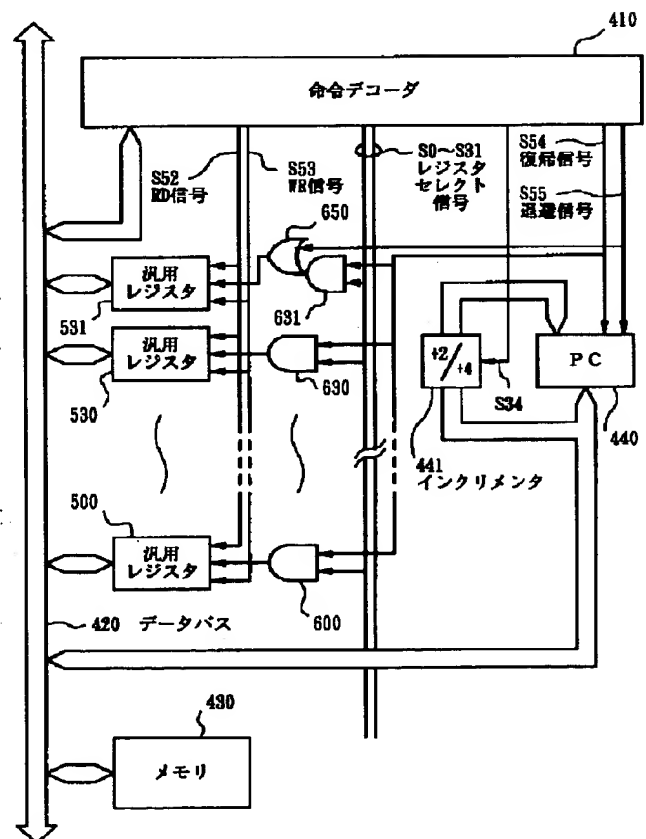
【図2】



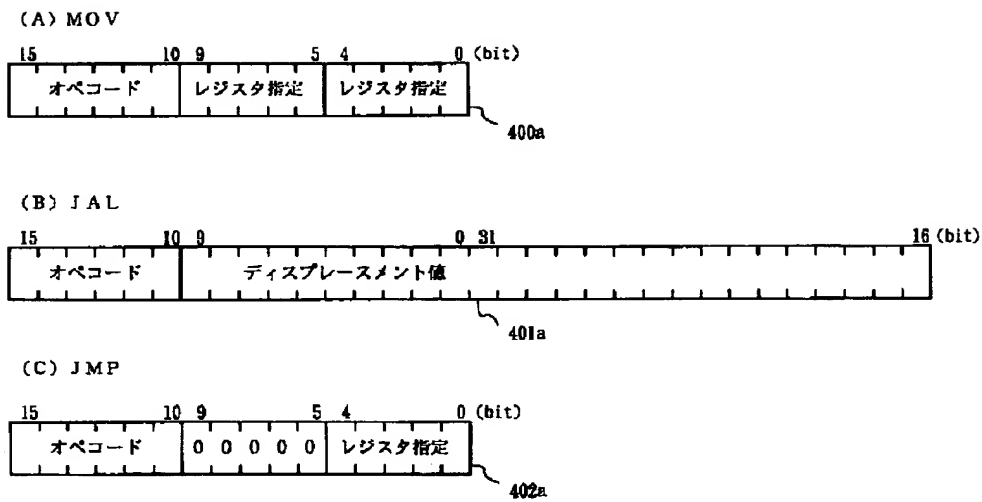
【図4】

ステップ	PCの過渡と復帰	クロック数
S01	汎用レジスタ130←PC+4 PC設定	3
S02		
S03	汎用レジスタ129←PC+4 PC設定	3
S04		
S05		
S06	PC←汎用レジスタ129	3
S07		
S08	PC←汎用レジスタ130	3
		合計12クロック

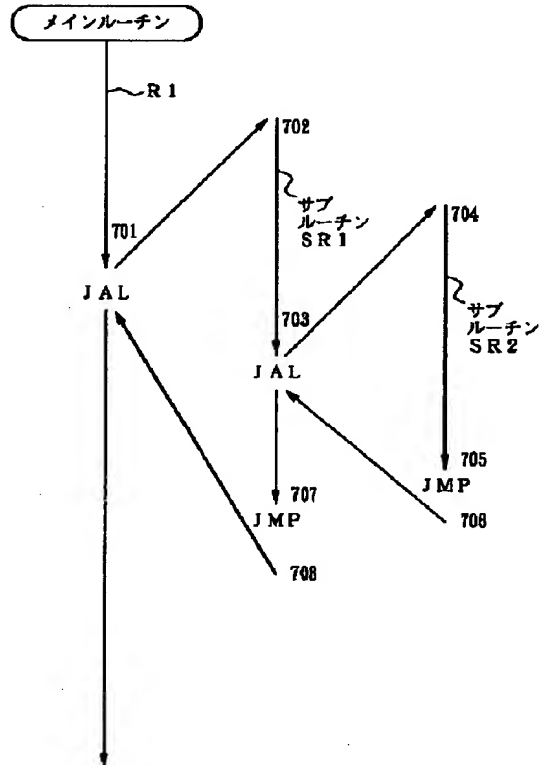
【図5】



【図6】



【図7】



【図8】

ステップ	PCの退避と復帰	クロック数
301	汎用レジスタ531←PC+4 PC設定	3
302	mem←汎用レジスタ531 SP←SP-4	2
303	汎用レジスタ531←PC+4 PC設定	3
304	mem←汎用レジスタ531 SP←SP-4	2
305	SP←SP+4 汎用レジスタ531←mem	2+1
306	PC←汎用レジスタ531	3
307	SP←SP+4 汎用レジスタ531←mem	2+1
308	PC←汎用レジスタ531	3
合計22クロック		

【图9】

